

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8771915

Basic Patent (No,Kind,Date): JP 1165172 A2 890629 <No. of Patents: 001>

MANUFACTURE OF THIN FILM TRANSISTOR (English)

Patent Assignee: RICOH KK

Author (Inventor): INAGI SHUNICHI

IPC: *H01L-029/78;

JAPIO Reference No: 130437E000096

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1165172	A2	890629	JP 87324659	A	871222 (BASIC)

Priority Data (No,Kind,Date):

JP 87324659 A 871222

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02867572 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 01-165172 [JP 1165172 A]

PUBLISHED: June 29, 1989 (19890629)

INVENTOR(s): INAGI SHUNICHI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-324659 [JP 87324659]

FILED: December 22, 1987 (19871222)

INTL CLASS: [4] H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 826, Vol. 13, No. 437, Pg. 96,
September 29, 1989 (19890929)

ABSTRACT

PURPOSE: To reduce the variation of gate electrode dimensions and stabilize the characteristics by a method wherein a blocking layer which blocks impurity diffusion into the gate electrode is formed after the gate electrode is formed.

CONSTITUTION: After a semiconductor active layer 2, a gate oxide film 3 and an Si semiconductor film 4 for a gate electrode are successively formed on an insulating substrate 1, the Si semiconductor film 4 is doped with impurity ions (for instance P(sup +)) to reduce its resistance. After the low resistance film 4 is patterned to form a gate electrode 4' and resist 5 is removed, the gate oxide film 3 is etched to form a gate oxide layer 3'. Then an SiO(sub 2) layer 6 is built up on the gate electrode 4' and the exposed parts of the active layer 2 and the whole surface is etched so as to leave the SiO(sub 2) layer 6 on the gate electrode 4 and a blocking layer 6' is formed. Then, after source and drain regions 7 are formed in the active layer 2 and an SiO(sub 2) interlayer insulating film 8 and contact holes are formed with a conventional constitution, metal electrodes 9 are formed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-165172

⑫ Int.Cl.⁴
H 01 L 29/78

識別記号
3 1 1

庁内整理番号
P-7925-5F

⑬ 公開 平成1年(1989)6月29日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスターの製造方法

⑮ 特 願 昭62-324659

⑯ 出 願 昭62(1987)12月22日

⑰ 発 明 者 稲 木 俊 一 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑲ 代 理 人 弁 理 士 佐 田 守 雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスターの製造方法

2. 特許請求の範囲

1. 絶縁基板上にSi半導体活性層、ゲート酸化層及びゲート電極を順次形成した後、前記活性層に塗布拡散法又は気相拡散法によりゲート電極とは逆伝導型のソース・ドレイン領域を形成する工程を含む薄膜トランジスターの製造方法において、ゲート電極形成後、その周囲にSiO₂のブロッキング層を形成し、ついでソース・ドレイン領域を形成することを特徴とする薄膜トランジスターの製造方法。

3. 発明の詳細な説明

技術分野

本発明はゲート電極とは逆伝導型のソース・ドレイン領域の形成時にゲート電極への不純物拡散を防止するためのブロッキング層形成工程を含む薄膜トランジスターの製造方法に関する。

従来技術

従来、Si半導体活性層中にゲート電極とは逆伝導型のソース・ドレイン領域を有する薄膜トランジスターを製造する際はまずガラス板のような絶縁基板上に常法によりpoly Si、a-Si(アモルファスSi)等のSi半導体活性層を形成し、その表面を熱酸化してゲート酸化膜を形成し、その上にゲート電極用Si半導体膜を形成し、不純物拡散によりSi半導体膜を低抵抗化した後、全面にSiO₂等のブロッキング膜(ゲート電極への不純物拡散を防止するための膜)形成し、ついでブロッキング膜、Si半導体膜及びゲート酸化膜をフォトリソグラフィ・エッチング法により連続的にパターンニングして夫々、ブロッキング層、ゲート電極及びゲート酸化層を形成し、最後に常法によりSiO₂層間絶縁膜、コンタクトホール及びA₂電極を形成していた。

しかし前記連続パターンニング工程では3段階のエッチングを連続的に行なうため、形成されるゲート電極の寸法にバラッキ(細り等)が生じる結果、トランジスターとしての特性が安

定せず、製品の歩留り低下の原因となっていた。

目 的

本発明の目的は特性のバラツキが少なく、従って製品の歩留りを向上した薄膜トランジスタの製造方法を提供することである。

構 成

本発明方法は絶縁基板上にSi半導体活性層、ゲート酸化層及びゲート電極を順次形成した後、前記活性層に塩布拡散法又は気相拡散法によりゲート電極とは逆伝導型のソース・ドレイン領域を形成する工程を含む薄膜トランジスタの製造方法において、ゲート電極形成後、その周囲に SiO_2 のブロッキング層を形成し、ついでソース・ドレイン領域を形成することを特徴とするものである。

このように本発明方法はブロッキング層の形成工程をゲート電極の形成後に行なうことによりゲート電極の寸法のバラツキの低減化を計ったものである。

本発明方法を図面によって説明すると、第1

図においてまず、ガラス板のような絶縁基板1上にpoly-Si、a-Si等のSi半導体を減圧CVD法(例えば SiH_4 流量50sccm、真空度0.5torr、温度630℃の条件)等で例えば厚さ2000Å程度に堆積せしめ、得られたSi半導体膜をフォトリソグラフィ・エッチング法でパターンニングしてSi半導体活性層2を形成する(第1図(a))。次に活性層2面を熱酸化(例えば H_2/O_2 雰囲気中、温度950℃)して例えば厚さ1500Å程度のゲート酸化膜3を形成する(第1図(b))。引続きその上にSi半導体を前述と同様、減圧CVD法等で例えば厚さ4000Å程度に堆積せしめてゲート電極用Si半導体膜4を形成した後(第1図(c))、これに塩布拡散法又は気相拡散法で不純物(例えば P^+)をドーピングして低抵抗化する(第1図(d))。次にこの低抵抗膜4をパターンニングしてゲート電極4'を形成し(第1図(e))、引続きレジスト5を除去した後、ゲート酸化膜3をエッチングしてゲート酸化層3'を形成する(第1図(f))。その後、本発明の特徴であるブロッ

キング層を次のようにして形成した後、Si半導体活性層2への不純物拡散を行なってソース・ドレイン領域を形成するのであるが、まずブロッキング層の形成は熱酸化・エッチングによって行なうことで好ましい。例えば H_2/O_2 雰囲気中、温度850℃で熱酸化を行なうと、ゲート電極4'上には厚さ1500Å程度の SiO_2 6が成長し、また活性層2の露出部分には厚さ300Å程度の SiO_2 6が成長するから(第1図(g))、次に活性層2上の SiO_2 層6は全て除去されるが、ゲート電極4'上の SiO_2 層6は例えば500Å以上残るように全面エッチング(例えばHFの2%水溶液では120秒エッチング)を行なう。この工程によりゲート電極4'の周囲に SiO_2 のブロッキング層6'が形成される(第1図(h))。その後、常法に従って塩布拡散法又は気相拡散法によりゲート電極4'とは逆伝導型の不純物(例えば B^+)を行なって活性層2にソース・ドレイン領域7を形成し(第1図(i))、 SiO_2 の層間絶縁膜8を形成し(第1図(j))、コンタ

クトホールを形成後、更にAlのような金属電極9を形成すれば本発明の薄膜トランジスタが得られる。

効 果

本発明方法によればゲート電極への不純物拡散を阻止するブロッキング層をゲート電極形成後に行なうことにより、ゲート電極寸法のバラツキが低減し、こうして歩留り良く、特性の安定した薄膜トランジスタを製造することができる。

4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタの一例の製造工程図である。

- | | |
|---------------------|------------|
| 1…絶縁基板 | 2…Si半導体活性層 |
| 3…ゲート酸化膜 | 4…Si半導体膜 |
| 4'…ゲート電極 | 5…レジスト |
| 6… SiO_2 層 | 6'…ブロッキング層 |
| 7…ソース・ドレイン領域 | |
| 8…層間絶縁膜 | 9…金属電極 |

第1圖

